

(書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁 (JP)  
(12)【公報種別】公開特許公報 (A)  
(11)【公開番号】特開2000-306859 (P2000-306859A)  
(43)【公開日】平成12年11月2日 (2000. 11. 2)  
(54)【発明の名称】半導体薄膜の結晶化方法及びレーザ照射装置  
(51)【国際特許分類第7版】

H01L 21/268

H01J 37/30

H01L 21/20

29/786

21/336

【F I】

H01L 21/268

F

J

H01J 37/30

Z

H01L 21/20

29/78 627 G

【審査請求】未請求

【請求項の数】16

【出願形態】○L

【全頁数】13

(21)【出願番号】特願平11-110237

(22)【出願日】平成11年4月19日 (1999. 4. 19)

(71)【出願人】

【識別番号】000002185

【氏名又は名称】ソニー株式会社

【住所又は居所】東京都品川区北品川6丁目7番35号

(72)【発明者】

【氏名】国井 正文

【住所又は居所】東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)【発明者】

【氏名】高徳 真人

【住所又は居所】東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 【発明者】

【氏名】 真野 三千雄

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木 晴敏

【テーマコード（参考）】

5C034

5F052

5F110

【Fターム（参考）】

5C034 AA02 AA07 AB02 AB04

5F052 AA02 AA11 BA12 BA18 BA20 BB07 CA07 DA02 DB02 DB03 EA12 EA15 JA01

5F110 AA01 BB02 CC02 CC08 DD02 DD13 DD14 DD17 EE02 EE03 EE04 EE06 EE09 EE23 FF02 FF03 FF09

FF29 FF30 FF32 GG02 GG13 GG25 GG32 GG34 GG45 GG47 GG52 HJ01 HJ04 HJ12 HJ13 HJ23 HL03 HL04

HL07 HL23 HM03 HM15 NN03 NN04 NN05 NN14 NN23 NN24 NN25 NN27 NN35 NN62 NN65 NN72 PP03 PP04

PP05 PP06 PP10 PP35 QQ09 QQ12 QQ19 QQ23

---

(57) 【要約】

【課題】 レーザ結晶化法を改良して大面積の基板上に単結晶に近い結晶性を持つ半導体薄膜をスループットよく形成する。

【解決手段】 まず、準備工程を行ない、基板①の表面を例えば枠目状に領域分割して複数の分割領域Dを規定する一方、レーザ光50を整形して矩形の分割領域Dを一括して照射できる様にレーザ光50の照射領域Rを矩形に調整する。次の結晶化工程では、照射領域Rに周期的な明暗のパターンを投影可能な様にレーザ光50の強度を光学変調して、基板①の左上にある最初の分割領域Dを照射し、更に少なくとも一回該明暗のパターンが重複しない様に照射領域Rをずらして同一の分割領域Dを再度照射する。この後、レーザ光50の照射領域Rを右隣にある次の分割領域Dに移して該結晶化工程を繰り返す。結晶化工程では、明暗のパターンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲以内で照射領域Rを少しづつずらして繰り返し照射を行なう。

---

【特許請求の範囲】

【請求項 1】 予め基板に成膜された半導体薄膜にレーザ光を照射して結晶化する半導体薄膜の結晶化方法であって、基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整する準備工程と、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射する結晶化工程と、レーザ光の照射領域を次の分割領域に移して該結晶化工程を繰り返す走査工程とを行なう事を特徴とする半導体薄膜の結晶化方法。

【請求項 2】 前記結晶化工程は、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲以内で該照射領域をずらして再度照射を行なう事を特徴とする請求項 1 記載の半導体薄膜の結晶化方法。

【請求項 3】 基板を 200℃以上に加熱した状態で該結晶化工程を行なう事を特徴とする請求項 1 記載の半導体薄膜の結晶化方法。

【請求項 4】 前記結晶化工程は、レーザ光を回折して周期的な明暗のパタンを形成可能な位相シフトマスクを用いる事を特徴とする請求項 1 記載の半導体薄膜の結晶化方法。

【請求項 5】 予め基板に成膜された半導体薄膜にレーザ光を照射して半導体薄膜の結晶化を行なうレーザ照射装置であって、基板の表面を領域分割して複数の分割領域が規定されたとき、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整する整形手段と、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調する光学手段と、光学変調されたレーザ光を一の分割領域に照射し、更に続けて該投影された明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を照射する一次走査手段と、レーザ光の照射領域を次の分割領域に移して該結晶化工程を繰り返す二次走査手段とを有する事を特徴とするレーザ照射装置。

【請求項 6】 前記光学手段は、周期的な明暗のパタンが描かれたマイクロスリットからなり、レーザ光の光路中に挿入される事を特徴とする請求項 5 記載のレーザ照射装置。

【請求項 7】 前記光学手段は、レーザ光を回折して周期的な明暗のパタンを形成可能な位相シフトマスクからなり、レーザ光の光路中に挿入される事を特徴とする請求項 5 記載のレーザ照射装置。

【請求項 8】 基板を 200℃以上に加熱する手段を含み、加熱状態で半導体薄膜にレーザ光を照射して半導体薄膜の結晶化を行なう事を特徴とする請求項 5 記載のレーザ照射装置。

【請求項 9】 半導体薄膜と、その一面に重ねられたゲート絶縁膜と、ゲート絶縁膜を介して半導体薄膜に重ねられたゲート電極とを含む積層構成を有する薄膜トランジスタであつて、前記半導体薄膜は、基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを形成した後、レーザ光を照射して比較的粒径の大きな多結晶シリコンに結晶化したもの

のであり、基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整した後、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返して得られたものである事を特徴とする薄膜トランジスタ。

【請求項10】 前記半導体薄膜は、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲内で該照射領域をずらして再度照射を行なうことにより結晶化されたものである事を特徴とする請求項9記載の薄膜トランジスタ。

【請求項11】 前記半導体薄膜は、基板を200℃以上に加熱した状態で結晶化されたものである事を特徴とする請求項9記載の薄膜トランジスタ。.

【請求項12】 前記半導体薄膜は、レーザ光を回折して周期的な明暗のパタンを形成可能な位相シフトマスクを用いて結晶化されたものである事を特徴とする請求項9記載の薄膜トランジスタ。

【請求項13】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された電気光学物質とを有し、一方の基板には対向電極を形成し、他方の基板には画素電極及びこれを駆動する薄膜トランジスタを形成し、該薄膜トランジスタを、半導体薄膜とその一面にゲート絶縁膜を介して重ねられたゲート電極とで形成した表示装置であつて、前記半導体薄膜は、該他方の基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを形成した後、レーザ光を照射して比較的粒径の大きな多結晶シリコンに結晶化したものであり、該他方の基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整した後、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返して得られたものである事を特徴とする表示装置。

【請求項14】 前記半導体薄膜は、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲内で該照射領域をずらして再度照射を行なうことにより結晶化されたものである事を特徴とする請求項13記載の表示装置。

【請求項15】 前記半導体薄膜は、基板を200℃以上に加熱した状態で結晶化されたものである事を特徴とする請求項13記載の表示装置。

【請求項16】 前記半導体薄膜は、レーザ光を回折して周期的な明暗のパタンを形成可能な位相シフトマスクを用いて結晶化されたものである事を特徴とする請求項13記載の表示装置。

詳細な説明

---

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体薄膜の結晶化方法及びその実施に使うレーザ照射装置に関する。又、上記方法及び装置を利用して作成された薄膜トランジスタ並びに表示装置に関する。

【0002】

【従来の技術】液晶表示装置のスイッチング素子として広く用いられている薄膜トランジスタの内、多結晶シリコンを活性層とした薄膜トランジスタは、同一基板上にスイッチング素子の他周辺の駆動回路を内蔵できる。又、多結晶シリコン薄膜トランジスタは微細化が可能な為、画素構造を高開口率化できる。これらの理由により、多結晶シリコン薄膜トランジスタは高精細な表示装置用の素子として注目されている。近年、多結晶シリコン薄膜トランジスタを600℃以下の低温プロセスで作成する技術が盛んに研究されている。所謂低温プロセスにより高価な耐熱性の基板を用いる必要がなくなり、ディスプレイの低コスト化及び大型化に寄与できる。特に近年では、画素のスイッチング素子や周辺の駆動回路に加え、中央演算素子(CPU)に代表される高度な機能素子を基板上に集積化させる要求が高まっている。これを実現する為、単結晶シリコンに近い高品質の多結晶シリコン薄膜を形成する技術が待望されている。

【0003】

【発明が解決しようとする課題】従来の低温プロセスでは、基板上に非晶質シリコンを成膜した後、長尺状若しくは線状に整形したエキシマレーザビームあるいは電子ビームを走査して基板表面を照射し、非晶質シリコンを多結晶シリコンに転換する。あるいは、大面積の矩形状に整形されたエキシマレーザビームを基板に一括照射して非晶質シリコンを多結晶シリコンに転換する。レーザビームや電子ビームなどの高エネルギービームを照射することにより、非晶質シリコンは基板にダメージを与えることなく急激に加熱され溶融状態となる。この後冷却過程でシリコンの結晶化が起り、ある程度の粒径を有する多結晶の集合が得られる。しかし、従来用いていたエネルギービームのパルス継続時間は20nsないし200nsと非常に短い。この為、非晶質シリコンが溶融して再凝固するまでの時間も極めて短い為、溶融状態のシリコンは實際には急冷されて多結晶シリコンとなる。溶融シリコンが急冷される過程で結晶核の発生密度が高くなる。この結果、得られる多結晶シリコンの結晶粒径が小さくなる。粒径の小さい多結晶シリコンを活性層として作成した薄膜トランジスタは移動度が小さく、Nチャネル型のMOSトランジスタで高々8.0cm²/Vs程度である。

【0004】従って、高機能な回路を画素用のスイッチング素子と同一基板上に集積化する為には、薄膜トランジスタ素子の性能を大幅に改善する必要がある。この為、例えば基板を400℃程度に加熱した状態でレーザビームを照射する技術が提案されている。予め基

板を加熱することでレーザビーム照射後の再結晶化速度（冷却速度）を遅くし、結晶粒径を増大させる。しかしこの方法ではガラス基板を用いた場合耐熱性の限界から加熱温度は450℃程度が上限となり、シリコンの融点である1400℃よりもはるかに低い。従って、基板加熱の方法を採用しても、現実にはレーザビームを照射した後多結晶シリコンは急冷状態となる為、単結晶シリコンに近い大粒径の多結晶シリコンを得ることは困難である。

【0005】一方大粒径の多結晶シリコンを得る他の方法として、シリコン薄膜中に触媒金属を導入し、特定の結晶方位に揃ったシリコン薄膜を成長させる方法が知られており、  
→ 例えば特開平7-297125号公報に開示されている。しかし、この方法は基本的に500℃以上の温度でアニールする固相成長法が必要で、低温プロセスとの整合性が悪い。またシリコン薄膜中に触媒金属が残留するため、金属成分を後でゲッタリングして取り除く工程が必要となる等の問題点がある。

【0006】  
【課題を解決する為の手段】本発明は以上の問題点を解決するもので、その目的は単純な工程で単結晶シリコンに近い結晶性を持つシリコン薄膜を大面積にスループット高く形成する方法を提供することにある。かかる目的を達成する為に、以下の手段を講じた。即ち、本発明は、予め基板に成膜された半導体薄膜にレーザ光を照射して結晶化する半導体薄膜の結晶化方法であって、基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整する準備工程と、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射する結晶化工程と、レーザ光の照射領域を次の分割領域に移して該結晶化工程を繰り返す走査工程とを行なう事を特徴とする。好ましくは、前記結晶化工程は、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲内で該照射領域をずらして再度照射を行なう事を特徴とする。又好ましくは、基板を200℃以上に加熱した状態で該結晶化工程を行なう事を特徴とする。

【0007】本発明は又、予め基板に成膜された半導体薄膜にレーザ光を照射して半導体薄膜の結晶化を行なうレーザ照射装置であって、基板の表面を領域分割して複数の分割領域が規定されたとき、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整する整形手段と、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調する光学手段と、光学変調されたレーザ光を一の分割領域に照射し、更に続けて該投影された明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を照射する一次走査手段と、レーザ光の照射領域を次の分割領域に移して該結晶化工程を繰り返す二次走査手段とを有する事を特徴とする。好ましくは、前記光学手段は、周期的な明暗のパタンが描かれたマイクロスリットからなり、レーザ光の光路中に挿入される事を特徴とする。或いは、レーザ光を回折して周期的な明暗のパタンを形成可能

な位相シフトマスクを用いる事を特徴とする。

【0008】本発明は又、半導体薄膜と、その一面に重ねられたゲート絶縁膜と、ゲート絶縁膜を介して半導体薄膜に重ねられたゲート電極とを含む積層構成を有する薄膜トランジスタであって、前記半導体薄膜は、基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを形成した後、レーザ光を照射して比較的粒径の大きな多結晶シリコンに結晶化したものであり、基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整した後、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返して得られたものである事を特徴とする。

【0009】本発明は又、所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された電気光学物質とを有し、一方の基板には対向電極を形成し、他方の基板には画素電極及びこれを駆動する薄膜トランジスタを形成し、該薄膜トランジスタを、半導体薄膜とその一面にゲート絶縁膜を介して重ねられたゲート電極とで形成した表示装置であって、前記半導体薄膜は、該他方の基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを形成した後、レーザ光を照射して比較的粒径の大きな多結晶シリコンに結晶化したものであり、該他方の基板の表面を領域分割して複数の分割領域を規定する一方、レーザ光を整形して一の分割領域を一括して照射できる様にレーザ光の照射領域を調整した後、該照射領域に周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返して得られたものである事を特徴とする。

【0010】本発明によれば、基板の表面を例えば樹目状に分割して矩形の分割領域を規定する。これに対応させて、レーザ光を矩形に整形し、一の分割領域を一括して照射できる様にする。この矩形に整形された照射領域に対して、周期的な明暗のパタンを投影可能な様にレーザ光の強度を光学変調して一の分割領域を照射し、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御する。更に続けて該明暗のパタンが重複しない様に照射領域を少しずらして同じ分割領域を再度照射する。この時、一回の照射で結晶化する範囲以内で該照射領域をずらして結晶化を行なうことにより均一な結晶が得られる。このレーザ光照射を数回繰り返して、例えば明暗の一周期分だけパタンが移動したら、レーザ光の照射領域を次の分割領域に移して結晶化工程を繰り返す事により、大面積の半導体薄膜を高率良く処理できる。

【0011】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る結晶化方法の一例を模式的に表した斜視図である。本発明にかかる結晶化方

法は、予めガラスなどからなる基板0に成膜された半導体薄膜4にレーザ光50を照射して結晶化するものであり、レーザ照射により一旦溶融したシリコンなどの半導体は冷却過程で結晶化する。まず、準備工程を行ない、基板0の表面を例えば樹目状に領域分割して複数の分割領域Dを規定する一方、レーザ光50を整形して矩形の分割領域Dを一括して照射できる様にレーザ光50の照射領域Rを矩形に調整する。これにより、照射領域Rの形状は分割領域Dに対応する。次の結晶化工程では、照射領域Rに周期的な明暗のパタンを投影可能な様にレーザ光50の強度を光学変調して、基板0の左上にある最初の分割領域Dを照射し、更に少なくとも一回該明暗のパタンが重複しない様に照射領域Rをずらして同一の分割領域Dを再度照射する。照射領域Rをずらす方向は矢印(a)で表されている。この後、レーザ光50の照射領域Rを右隣にある次の分割領域Dに移して該結晶化工程を繰り返す。この走査工程の移動方向は、矢印(b)で表されている。結晶化工程では、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御すると共に、一回の照射で結晶化する範囲内で照射領域Rを少しづつずらして繰り返し照射を行なう。基板0を200℃以上に加熱した状態で結晶化工程を行なうと、より均一な結晶状態が得られる。

【0012】本発明によれば、基板0の表面を例えば樹目状に分割して矩形の分割領域Dを規定する。これに対応させて、レーザ光50を矩形に整形し、一の分割領域Dを一括して照射できる様にする。この矩形に整形された照射領域Rに対して、周期的な明暗のパタンを投影可能な様にレーザ光50の強度を光学変調して一の分割領域Dを照射し、明暗のパタンに応じた温度勾配を利用して結晶化の方向を制御する。更に続けて該明暗のパタンが重複しない様に照射領域Rを少しずらして同じ分割領域Dを再度照射する。この時、一回の照射で結晶化する範囲内で照射領域Rをずらして結晶化を行なうことにより均一な結晶が得られる。このレーザ光照射を数回繰り返して、例えば明暗の一周期分だけパタンが移動したら、レーザ光50の照射領域Rを次の分割領域Dに移して結晶化工程を繰り返す事により、大面積の半導体薄膜4を効率良く処理できる。

【0013】図示の例では、(a)の方向に少しづつ(例えば1μm毎に)照射領域Rをシフトさせて、矩形状の分割領域D内を結晶化させ、次いで(b)の方向に大きくシフトさせることを繰り返すことで、基板0全体を結晶化させる。この場合、矩形分割領域Dの大きさは例えば6.1mm×7.3mmで、これに対応する矩形状のレーザ照射領域Rの面積全体が周期的な明暗パタンで覆われている。例えば、暗部の幅が1μmで、隣り合う暗部間のスペースが5μm、レーザ光50の位置シフト量が0.75μm、一回の照射で結晶化する範囲(横方向結晶成長距離)が1μmの場合、5~7ショットのレーザ照射で矩形状の分割領域Dの全面積が均一に結晶化できることになる。たとえば矩形状の分割領域Dの大きさが6.1×7.3mm<sup>2</sup>で、ガラス基板の大きさが600×720mm<sup>2</sup>の場合は、隣り合う分割領域間でのビーム重なり幅を1mmとすると、レーザ発振周波数が10Hzのとき、基板0の全体を結晶化するのに要する全ショット数は500~700ショットであるから、基板1枚あたりに要する結晶化のタクトタイムは50~70秒となる。これは量産時のスルー

プットとしては十分に速い。

【0014】また、このレーザ結晶化工程時に、ガラス基板を200℃以上、好ましくは400℃～650℃程度に加熱することにより、半導体薄膜4の溶融固化時における冷却速度を遅くして徐冷状態にできるため、結晶核の発生密度を抑えて欠陥密度の少ないシリコン結晶からなる半導体薄膜を得ることができる。基板0の加熱方法は、抵抗加熱でも良いし、Xeアークランプ、ハロゲンランプ等によるランプ加熱でも良い。

【0015】図2は、周期的な明暗パターンの例を表す模式的な平面図である。(a)は、直線状の明暗パターンを表している。本発明はこれに限られるわけではなく、(b)に示すような波状スリットパターン、(c)に示す様なシェブロンパターン、(d)に示す様な格子状パターンでもよい。要は、レーザ光を基板に照射した時、一次元的若しくは二次元的な周期を有する明暗パターンが投影されれば良い。

【0016】以下、本プロセスに特有な大面積一括照射レーザ装置の一例について述べる。図3において、51は大出力エキシマレーザ光源、52は矩形状ビーム整形スリット、53はビームホモジナイザ、54は集光レンズ、55はマイクロスリット、56は結像レンズ、57はミラー、58は基板0を搭載するXYステージである。XYステージ58には基板加熱用のランプが装着されている。基板0の上には予め半導体薄膜4が形成されている。本発明に係るレーザ照射装置は基本的に、予め基板0に成膜された半導体薄膜4にレーザ光50を照射して半導体薄膜4の結晶化を行なうものであって、整形手段と、光学手段と、一次走査手段と、二次走査手段を備えている。整形手段はビーム整形スリット52とビームホモジナイザ53を含み、基板0の表面を領域分割して複数の分割領域が規定されたとき、レーザ光50を整形して一の分割領域を一括して照射できる様にレーザ光50の照射領域を調整する。光学手段は集光レンズ54、マイクロスリット55、結像レンズ56及びミラー57を含み、照射領域に周期的な明暗のパターンを投影可能な様にレーザ光50の強度を光学変調する。一次走査手段はXYステージ58からなり、光学変調されたレーザ光50を一の分割領域に照射し、更に続けて該投影された明暗のパターンが重複しない様に照射領域をずらして同一の分割領域を照射する。二次走査手段は同じくXYステージ58からなり、レーザ光50の照射領域を次の分割領域に移して該結晶化工程を繰り返す。本実施例では、光学手段は周期的な明暗のパターンが描かれたマイクロスリット55を用いており、レーザ光50の光路中に挿入される。場合によっては、マイクロスリット55は基板0の直上に配されることもある。

【0017】マイクロスリット55は、幅1～2μmの遮光膜、例えば耐熱性に優れたMo、W等の高融点金属薄膜を、例えば間隔1～15μm程度でガラス等の透明基材上に形成したものである。スリットの幅と間隔は、基板0上に投影した時の長さで計測して、1ショットのレーザ照射で結晶が横方向成長する距離と同程度から数倍以内の範囲になるよう設定する。レーザ光50は波長308nmのXeClエキシマレーザ光源51から発し、1ショットのパルス継続時間は100～200nsである。上記条件でマイクロスリット5

5の射影をガラス基板0上の非晶質シリコンからなる半導体薄膜4にフォーカスさせて、パルスレーザ光50を照射させると、レーザ光50が照射される明部ではシリコンは溶融し、影となる暗部では固体シリコンのままの状態となる。この状態では固体シリコンから溶融シリコンに向かう横方向に結晶成長が進み、1ショットで片側約0.3~1.5μmほど横方向結晶成長する。この横方向結晶成長距離よりも短い距離だけマイクロスリット55をシフトさせてレーザショットを繰り返すことにより、横方向に結晶が連続的に成長して行く。

【0018】本発明の方法による結晶成長の様子を模式的に示したものが図4である。(a)では、マイクロスリット55のマスクに覆われていない明部の半導体薄膜4のみがレーザ照射時に溶融し、同時にマスクの影となる暗部の方向から横方向結晶成長が進む。続いて、(b)に示すように、マイクロスリット55を結晶成長方向に横方向結晶成長距離よりも短い距離△Sだけずらし、再び1ショットレーザ照射すると、矩形状レーザ照射領域の全面が結晶化する。この方法では結晶成長方向に結晶粒界がない、極めて高品質の結晶性シリコン薄膜が得られる。

【0019】図5は、本発明に係る薄膜トランジスタの製造方法の第一実施例を示す工程図である。この実施例で作成された多結晶シリコン薄膜トランジスタの移動度はNチャネル型で270ないし350cm<sup>2</sup>/Vs、Pチャネル型で160ないし250cm<sup>2</sup>/Vsであり、従来に比べ大幅に高移動度化が達成されている。なお、本実施例では便宜上Nチャネル型の薄膜トランジスタの製造方法を示すが、Pチャネル型でも不純物種（ドーパント種）を変えるだけで全く同様である。ここでは、ボトムゲート構造の薄膜トランジスタの製造方法を示す。まず(a)に示す様に、ガラスなどからなる絶縁基板0の上にAl、Ta、Mo、W、Cr、Cu又はこれらの合金を100乃至300nmの厚みで形成し、パタニングしてゲート電極1に加工する。

【0020】次いで(b)に示す様に、ゲート電極1の上にゲート絶縁膜を形成する。本実施形態では、ゲート絶縁膜はゲート窒化膜2(SiNx)／ゲート酸化膜3(SiO<sub>2</sub>)の二層構造を用いた。ゲート窒化膜2はSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合物を原料気体として用い、プラズマCVD法(PCVD法)で成膜した。なお、プラズマCVDに代えて常圧CVDあるいは減圧CVDを用いてもよい。本実施形態では、ゲート窒化膜2を50nmの厚みで堆積した。ゲート窒化膜2の成膜に連続して、ゲート酸化膜3を約200nmの厚みで成膜する。更にゲート酸化膜3の上に連続的に非晶質シリコンからなる半導体薄膜4を約30乃至80nmの厚みで成膜した。二層構造のゲート絶縁膜と非晶質半導体薄膜4は成膜チャンバの真空系を破らず連続成膜した。以上の成膜でプラズマCVD法を用いた場合には、400乃至450℃の温度で窒素雰囲気中1時間程度加熱処理を行ない、非晶質半導体薄膜4に含有されていた水素を放出する。所謂脱水素アニールを行なう。

【0021】次いで、本発明に従って、レーザ光50を照射し、非晶質半導体薄膜4を結晶化する。レーザ光50としてはエキシマレーザビームを用いることができる。基板0の

表面を領域分割して複数の分割領域を規定する一方、レーザ光50を整形して一の分割領域を一括して照射できる様にレーザ光50の照射領域を調整した後、照射領域に周期的な明暗のバタンを投影可能な様にレーザ光50の強度をマイクロスリット55で光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のバタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返す。

【0022】 続いて(c)に示す様に、薄膜トランジスタのVthを制御する目的で、Vthイオンインプランテーションを必要に応じて行なう。本例では、B+をドーズ量が $5 \times 10^{11}$ 乃至 $4 \times 10^{12}/\text{cm}^2$ 程度でイオン注入した。このVthイオンインプランテーションでは $10\text{KeV}$ で加速されたイオンビームを用いた。続いて、前工程で結晶化された多結晶半導体薄膜5の上に例えばプラズマCVD法で $\text{SiO}_2$ を約 $100\text{nm}$ 乃至 $300\text{nm}$ の厚みで形成する。本例では、シランガス $\text{SH}_4$ と酸素ガスをプラズマ分解して $\text{SiO}_2$ を堆積した。この様にして成膜された $\text{SiO}_2$ を所定の形状にパタニングしてストッパー膜6に加工する。この場合、裏面露光技術を用いてゲート電極1と整合する様にストッパー膜6をパタニングしている。ストッパー膜6の直下に位置する多結晶半導体薄膜5の部分はチャネル領域Chとして保護される。前述した様に、チャネル領域Chには予めVthイオンインプランテーションによりB+イオンが比較的低ドーズ量で注入されている。続いて、ストッパー膜6をマスクとしてイオンドーピングにより不純物(例えばP+イオン)を半導体薄膜5に注入し、LDD領域を形成する。この時のドーズ量は、例えば $5 \times 10^{12}$ 乃至 $1 \times 10^{13}/\text{cm}^2$ であり、加速電圧は例えば $10\text{KeV}$ である。~~ある~~更にストッパー膜6及びその両側のLDD領域を被覆する様にフォトレジストをパタニング形成した後、これをマスクとして不純物(例えばP+イオン)を高濃度で注入し、ソース領域S及びドレイン領域Dを形成する。不純物注入には、例えばイオンドーピング(イオンシャワー)を用いることができる。これは質量分離を掛けることなく電界加速で不純物を注入するものであり、本実施例では $1 \times 10^{15}/\text{cm}^2$ 程度のドーズ量で不純物を注入し、ソース領域S及びドレイン領域Dを形成した。加速電圧は例えば $10\text{KeV}$ である。なお、図示しないが、Pチャネルの薄膜トランジスタを形成する場合には、Nチャネル型薄膜トランジスタの領域をフォトレジストで被覆した後、不純物をP+イオンからB+イオンに切り換えドーズ量 $1 \times 10^{15}/\text{cm}^2$ 程度でイオンドーピングすればよい。なお、ここでは質量分離型のイオンインプランテーション装置を用いて不純物を注入してもよい。この後RTA(急速熱アニール)6.0により、多結晶半導体薄膜5に注入された不純物を活性化する。場合によっては、エキシマレーザを用いたレーザ活性化アニール(ELA)を行なっても良い。この後、半導体薄膜5とストッパー膜6の不要な部分を同時にパタニングし、素子領域毎に薄膜トランジスタを分離する。

【0023】 最後に(d)に示す様に、 $\text{SiO}_2$ を約 $100$ 乃至 $200\text{nm}$ の厚みで成膜し、層間絶縁膜7とする。層間絶縁膜7の形成後、 $\text{SiN}_x$ をプラズマCVD法で $200$ 乃至

4.00 nm成膜し、パシベーション膜（キャップ膜）8とする。この段階で窒素ガス又はフォーミングガス中又は真空中雰囲気下で350℃乃至400℃程度の加熱処理を1時間行ない、層間絶縁膜7に含まれる水素原子を半導体薄膜5中に拡散させる。この後、コンタクトホールを開口し、Mo, Alなどを100乃至200 nmの厚みでスパッタした後、所定の形状にパタニングして配線電極9に加工する。更に、アクリル樹脂などからなる平坦化層10を1 μm程度の厚みで塗布した後コンタクトホールを開口する。平坦化層10の上にITOやIXOなどからなる透明導電膜をスパッタした後、所定の形状にパタニングして画素電極11に加工する。

【0024】図6は本発明に係る薄膜トランジスタの製造方法の第二実施例を示す工程図である。この実施例で作成された多結晶シリコン薄膜トランジスタの移動度は、Nチャネル型で320ないし430 cm<sup>2</sup>/Vs、Pチャネル型で160ないし220 cm<sup>2</sup>/Vsと従来に比し大きくなっている。なお、第一実施例と異なり、本実施例はトップゲート構造の薄膜トランジスタを作成している。まず(a)に示す様に、絶縁基板0の上にバッファ層となる二層の下地膜6a, 6bをプラズマCVD法により連続成膜する。一層目の下地膜6aはSiNxからなり、その膜厚は100乃至200 nmである。又、二層目の下地膜6bはSiO<sub>2</sub>からなり、その膜厚は同じく100 nm乃至200 nmである。このSiO<sub>2</sub>からなる下地膜6bの上に非晶質シリコンからなる半導体薄膜4を約30乃至80 nmの厚みでプラズマCVD法もしくはLPCVD法により成膜する。非晶質シリコンからなる半導体薄膜4の成膜にプラズマCVD法を用いた場合には、膜中の水素を脱離させる為に、窒素雰囲気中で400℃乃至450℃1時間程度のアニールを行なう。ここで必要ならば、前述した様にVthイオンインプランテーションを行ない、B+イオンを例えればドーズ量5×10<sup>11</sup>乃至4×10<sup>12</sup>/cm<sup>2</sup>程度で半導体薄膜5に注入する。この場合の加速電圧は10 KeV程度である。

【0025】次いで本発明に従って、非晶質半導体薄膜4を結晶化する。基板0の表面を領域分割して複数の分割領域を規定する一方、レーザ光50を整形して一の分割領域を括して照射できる様にレーザ光50の照射領域を調整した後、照射領域に周期的な明暗のバタンを投影可能な様にレーザ光50の強度をマイクロスリット55で光学変調して一の分割領域を照射し、更に少なくとも一回該明暗のバタンが重複しない様に照射領域をずらして同一の分割領域を再度照射して結晶化を行ない、レーザ光の照射領域を次の分割領域に移して該結晶化を繰り返す。

【0026】続いて(b)に示す様に多結晶シリコンに転換された半導体薄膜5をアイランド状にパタニングする。この上に、プラズマCVD法、常圧CVD法、減圧CVD法、ECR-CVD法、スパッタ法などでSiO<sub>2</sub>を10乃至400 nm成長させ、ゲート絶縁膜3とする。本例ではゲート絶縁膜3の厚みを100 nmとした。次いでゲート絶縁膜3の上にAl, Ti, Mo, W, Ta, ドープト多結晶シリコンなど、あるいはこれらの合金を200乃至800 nmの厚みで成膜し、所定の形状にパタニングしてゲート電極1に加工

する。次いでP+イオンを質量分離を用いたイオン注入法で半導体薄膜5に注入し、LDD領域を設ける。このイオン注入はゲート電極1をマスクとして絶縁基板0の全面に対して行なう。ドーズ量は $6 \times 10^{12}$ 乃至 $5 \times 10^{13}/\text{cm}^2$ である。加速電圧は例えば90KeVである。なお、ゲート電極1の直下に位置するチャネル領域Chは保護されており、Vthイオンインプランテーションで予め注入されたB+イオンがそのまま保持されている。LDD領域に対するイオン注入後、ゲート電極1とその周囲を被覆する様にレジストパターンを形成し、P+イオンを質量非分離型のイオンシャワードーピング法で高濃度に注入し、ソース領域S及びドレイン領域Dを形成する。この場合のドーズ量は例えば $1 \times 10^{15}/\text{cm}^2$ 程度である。加速電圧は例えば90KeVである。ドーピングガスには水素希釈の20%PH<sub>3</sub>ガスを用いた。CMOS回路を形成する場合には、Pチャネル薄膜トランジスタ用のレジストパターンを形成後、ドーピングガスを5%乃至20%のB<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>ガス系に切り換え、ドーズ量 $1 \times 10^{15}$ 乃至 $3 \times 10^{15}/\text{cm}^2$ 程度、加速電圧は例えば90KeVでイオン注入すればよい。なお、ソース領域S及びドレイン領域Dの形成は質量分離型のイオン注入装置を用いてもよい。この後、半導体薄膜5に注入されたドーパントの活性化処理となる。この活性化処理は第一実施例と同様に、紫外線ランプを使ったRTA60を用いることができる。

【0027】最後に(c)に示す様に、ゲート電極1を被覆する様にPSGなどからなる層間絶縁膜7を成膜する。この層間絶縁膜7の成膜後、SiNxをプラズマCVD法で約200乃至400nm堆積しパシベーション膜(キャップ膜)8とする。この段階で窒素ガス中350℃の温度下1時間程度アニールし、層間絶縁膜7に含有された水素を半導体薄膜5中に拡散させる。この後コンタクトホールを開口する。更にパシベーション膜8の上にAl-Siなどをスパッタリングで成膜した後所定の形状にパタニングして配線電極9に加工する。更にアクリル樹脂などからなる平坦化層10を約1μmの厚みで塗工後、これにコンタクトホールを開口する。平坦化層10の上にITOやIXOなどからなる透明導電膜をスパッタリングし、所定の形状にパタニングして画素電極11に加工する。

【0028】図6に示した第二の実施例では、図5に示した第一の実施例で説明した方法と同様にして非晶質半導体薄膜を結晶化させる。但し、トップゲート構造である本実施例の場合はボトムゲート構造である第一の実施例と異なり、ゲート電極のパターンが形成される前の段階で結晶化を行なう為、ガラスなどからなる絶縁基板の収縮については第一の実施例よりも許容度が大きい。そのため、より大出力のレーザ照射装置を用いて結晶化処理を行なえる。

【0029】図7は、第一実施例又は第二実施例に係る薄膜トランジスタを用いたアクティブマトリクス型表示装置の一例を示す。図示する様に、本表示装置は一対の絶縁基板101、102と両者の間に保持された電気光学物質103とを備えたパネル構造を有する。電気光学物質103としては液晶材料が広く用いられている。下側の絶縁基板101には画素アレイ部104と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路1

05と水平駆動回路106とに分かれている。また、絶縁基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画素アレイ部104には行状のゲート配線109と列状の信号配線110が形成されている。両配線の交差部には画素電極111とこれを駆動する薄膜トランジスタ112が形成されている。薄膜トランジスタ112のゲート電極は対応するゲート配線109に接続され、ドレイン領域は対応する画素電極111に接続され、ソース領域は対応する信号配線110に接続している。ゲート配線109は垂直駆動回路105に接続する一方、信号配線110は水平駆動回路106に接続している。画素電極111をスイッチング駆動する薄膜トランジスタ112及び垂直駆動回路105と水平駆動回路106に含まれる薄膜トランジスタは、本発明に従って作成されたものであり、従来に比較して移動度が高くなっている。従って、駆動回路ばかりでなく更に高性能な処理回路を集積形成することも可能である。

【0030】ここで、本発明にかかるレーザ照射装置の他の実施例を図8に示す。図8において、51は大出力エキシマレーザ光源、52は矩形状ビーム整形スリット、53はビームホモジナイザ、54は集光レンズ、55aは位相シフトマスク、57はミラーである。処理対象となる基板0には予め半導体薄膜4が成膜されている。基板0の表面側には位相シフトマスク55aが近接配置され、裏面側には加熱ランプ59が近接配置されている。レーザ光源51から発したレーザ光50は位相シフトマスク55aを介して基板0に照射され、半導体薄膜4を結晶化する。その具体的な方法は、図9に示されている。

【0031】ここで図9の説明に入る前に、位相シフトマスクの原理について説明する。位相シフトマスクは図10に示すようにたとえば石英基材に段差をつけ、段差の境界でレーザ光50の回折と干渉をおこさせ、レーザ光強度に周期的な空間分布を付与するものである。図10では段差部x=0を境界として左右で180°の位相差を付けた場合を示している。一般にレーザ光の波長をλとすると、屈折率nの透明媒質を透明基材上に形成して180°の位相差を付けるには、透明媒質の膜厚tは、 $t = \lambda / 2 (n - 1)$ で与えられる。石英基材の屈折率を1.46とすると、XeClエキシマレーザ光の波長が308nmであるから、180°の位相差を付けるためには334.8nmの段差をエッチング等の方法でつければよい。またSiNx膜を透明媒質としてPECVD、LPCVD等で成膜する場合は、SiNx膜の屈折率を2.0とすると、SiNx膜を石英基材上に154nm成膜し、エッチングして段差を付ければ良い。180°の位相をつけた位相シフトマスク55aを通過したレーザ光50の強度は、図10に示すように周期的強弱のパターンを示す。

【0032】この段差そのものを繰り返し周期的に形成したマスクが図11に示すような周期的位相シフトマスク55aである。図11では位相シフトパターンの幅とパターン間距離はともに3μmである。シリコンからなる半導体薄膜4と位相シフトマスク55aの距離をdとすると、dが大きくなるほど回折の影響が大きくなり、レーザ光強度の変調周期は長くなる。dの値は0.05~3.0mm程度が望ましい。位相差は必ずしも180°である

必要はなく、レーザ光に強弱を実現できる位相差であればよい。レーザ光は波長308nmのXeClエキシマレーザ光で、1ショットのパルス継続時間は20~200nsである。上記条件で位相シフトマスク55aを、レーザ光源とガラス基板0上の非晶質シリコンからなる半導体薄膜4との間に挿入し、パルスレーザ光を照射すると、周期的位相シフトマスク55aを通過したレーザ光は段差部で回折と干渉を起こし、周期的に強弱がつく。レーザ光が強い部位では半導体薄膜4は完全に溶融し、レーザ光が弱い部位との間で温度勾配が生ずる。この状態では完全溶融シリコンの部位に横方向の結晶成長が進み、1ショットで片側約0.3~3.5μmほど横方向結晶成長する。この横方向結晶成長距離よりも短い距離だけ位相シフトマスク55aを移動させてレーザ光のショットを繰り返すことにより、横方向に結晶が連続的に成長して行く。

【0033】本発明の方法による結晶成長の様子を模式的に示したものが図9である。図9(a)では強い光が照射されている明部のシリコン薄膜のみが溶融し、同時に弱い光が照射している暗部から溶融部分に向かい横方向結晶成長が進む。図9(b)に示すように、段差部を周期的に形成したパターンを有する位相シフトマスク55aを、結晶成長方向に横方向結晶成長距離よりも等しいか短い距離口Sだけずらし、再び1ショットレーザ照射する工程を繰り返すと、矩形状レーザ光の照射領域の全面が結晶化する。この方法では結晶成長方向に結晶粒界がない、極めて高品質の結晶性シリコン薄膜が得られる。

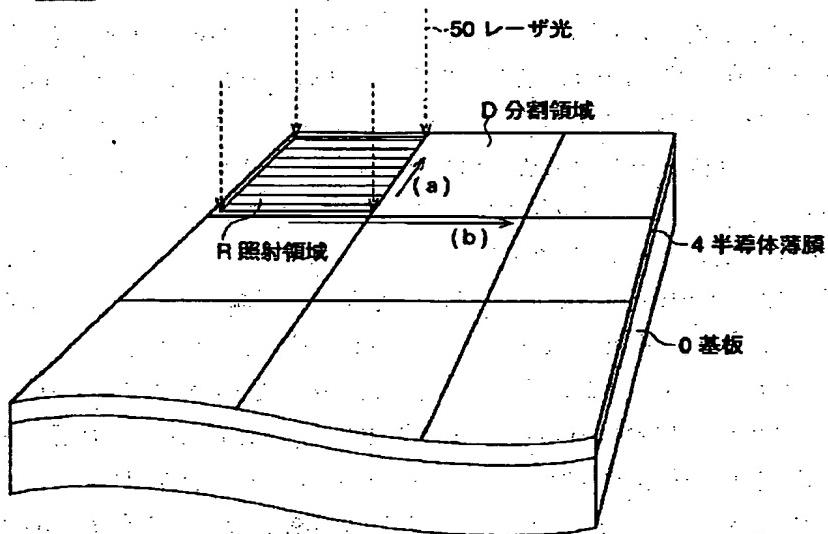
【0034】ここで、前に説明した図1は図9の工程を立体的に示したものである。図1で示す(a)の方向にレーザ光50を約1μm毎に移動させて最初の分割領域D内を結晶化させ、次いで(b)の方向にシフトさせることを繰り返すことで、基板0の全面を結晶化させることができる。この場合、矩形ビームの大きさはたとえば61mm×73mmで、矩形状のレーザ光50の断面積全体が上記の周期的位相シフトマスクで覆われている。このような周期的位相シフトマスクを用いると、矩形状ビーム全体についてみた場合に1回のレーザ照射ステップで結晶化が進む距離rは、 $r = 1\text{回の横方向成長距離} \times \text{位相シフトパターンの本数}$ である。従って本実施例の場合は位相シフトパターンの1周期が6μmであるから、矩形ビームのなかに10166本パターンがあり、1回の照射で約1μm結晶成長が進むので、短軸の方向にステップさせる場合は6回のパルス照射で一分割領域D内の全面が結晶化する。ここで大型基板0全体を結晶化させるのに要するスループットを計算してみる。たとえば矩形状ビームの大きさが61×73mm<sup>2</sup>で、ガラス基板0の大きさが600×720mm<sup>2</sup>の場合は、(b)方向に隣り合う矩形状ビームの重なり幅を1mmとすると、レーザ発振周波数が10Hzのとき、基板全体を結晶化するのに要する全ショット数は約600ショットであるから、基板1枚あたりに要する結晶化のタクトタイムは約60秒となる。これは量産時のスループットとしては十分に速い。尚、周期的位相シフトマスクのパターン形状は直線状のスリットに限られるわけではなく、図2に示すように波状スリットパターン、シェブロンパターン、格子状パターン等でもよい。以上の様に、本実施例では、レーザ光を回折して周期的な明暗のパターンを形成可能な位相シフトマスクを用いて結晶化を行

なっている。光の回折を利用してるので、マイクロスリットに比べレーザ光の損失が少なくエネルギーの利用効率改善につながる。又、基本的に、位相シフトマスクを光路中に挿入するだけなので、光学系が比較的簡略である。

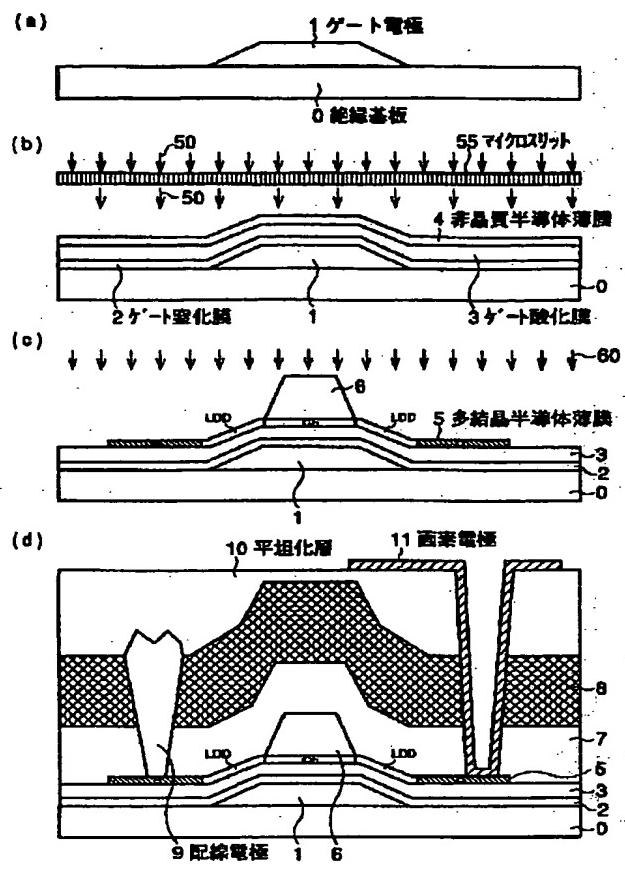
#### 【0035】

【発明の効果】以上説明したように、本発明によれば、レーザーの単純なマルチショットでは得られない高品質で殆ど単結晶に近い結晶質のシリコン薄膜が得られる。本発明で得られた多結晶シリコン薄膜トランジスタの移動度は第一の実施例ではNMOSで $270\sim350\text{ cm}^2/\text{V}\cdot\text{s}$ 、PMOSで $160\sim250\text{ cm}^2/\text{V}\cdot\text{s}$ 、第二の実施例ではNMOSで $320\sim430\text{ cm}^2/\text{V}\cdot\text{s}$ 、PMOSで $160\sim220\text{ cm}^2/\text{V}\cdot\text{s}$ と大きい。本発明の多結晶シリコン薄膜トランジスタを液晶ディスプレイ、EL等の表示素子に応用すれば、周辺回路に高機能の演算素子等を形成することが可能になり、システム・オン・パネル化に向け本発明の効果は大きい。特に、位相シフトマスクを用いて結晶化を行なえば、光の回折を利用してるのでレーザ光の損失が少なくエネルギーの利用効率改善につながる。又、基本的に、位相シフトマスクを光路中に挿入するだけなので、光学系は簡単である。

【図1】



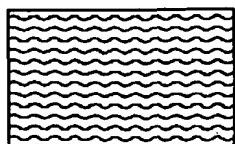
【図2】



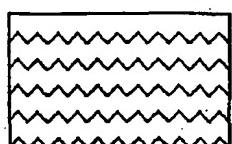
【図 6】



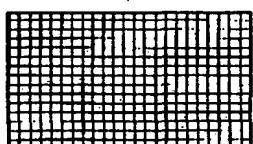
(a) 直線スリット



(b) 波状スリット

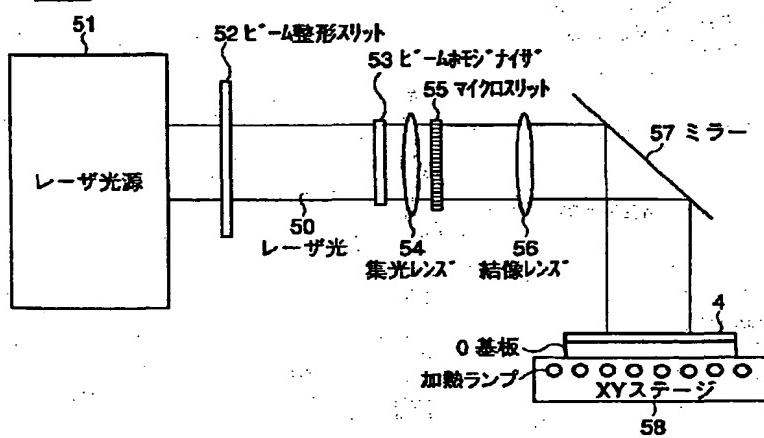


(c) シェブロン

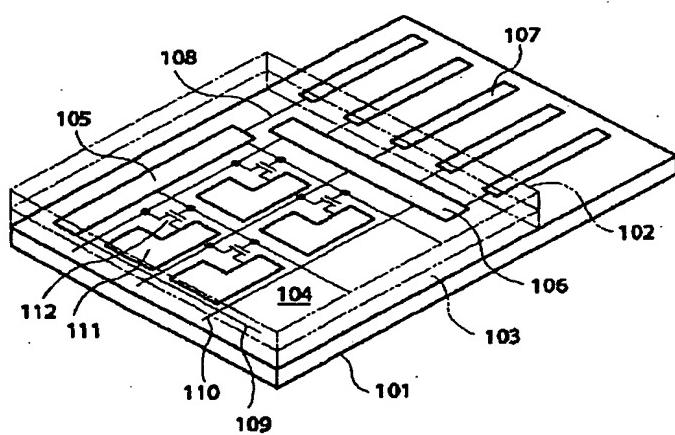


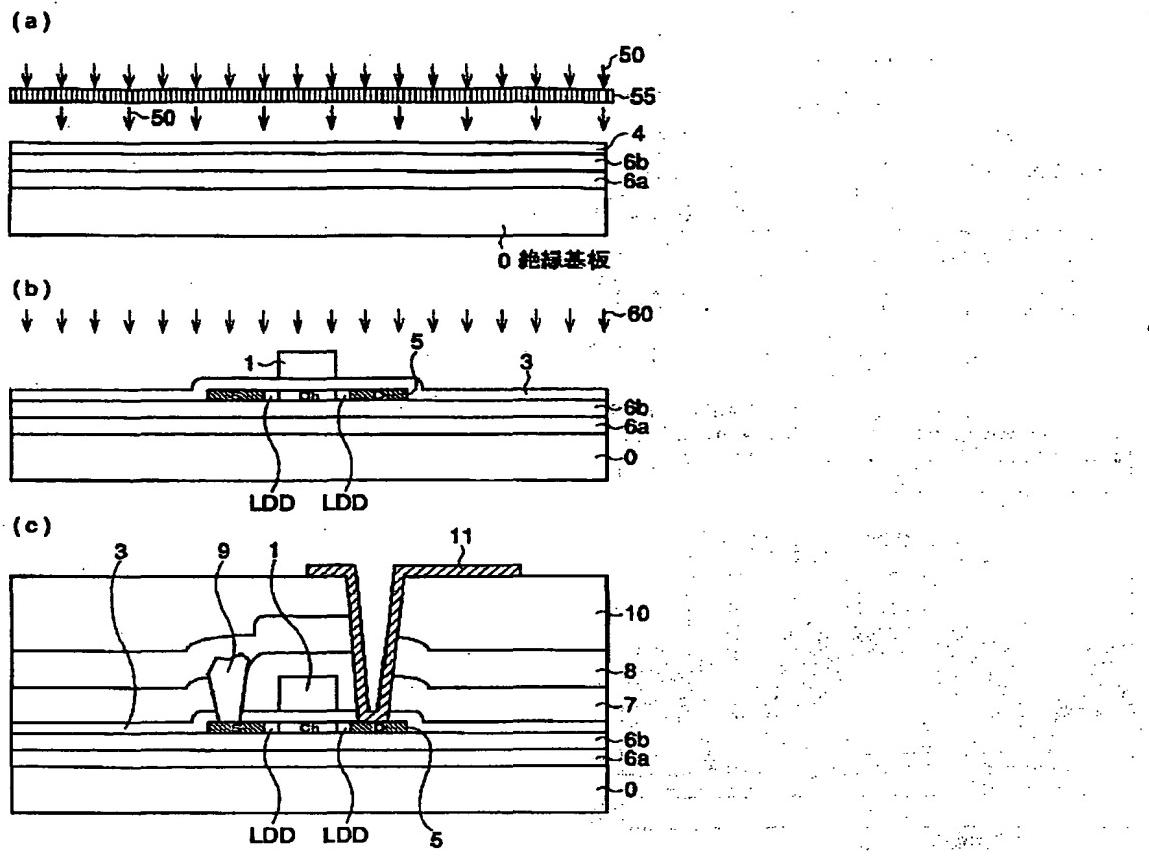
(d) 格子状スリット

【図3】

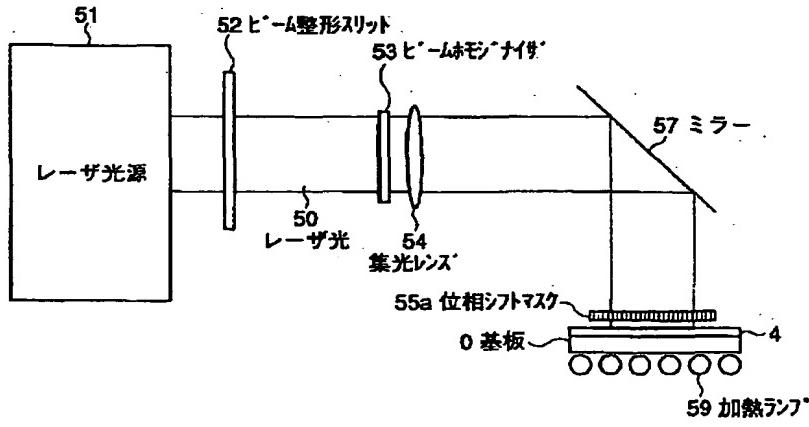


【図7】



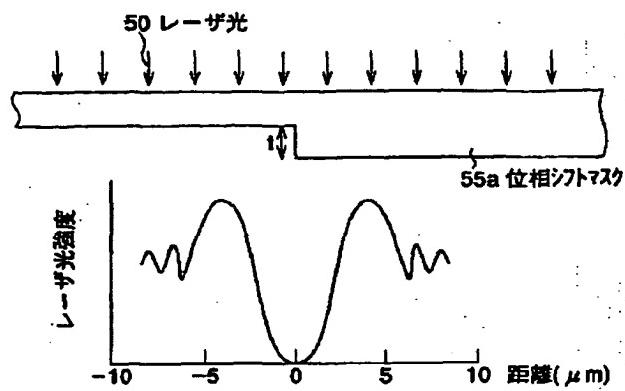


**【図8】**

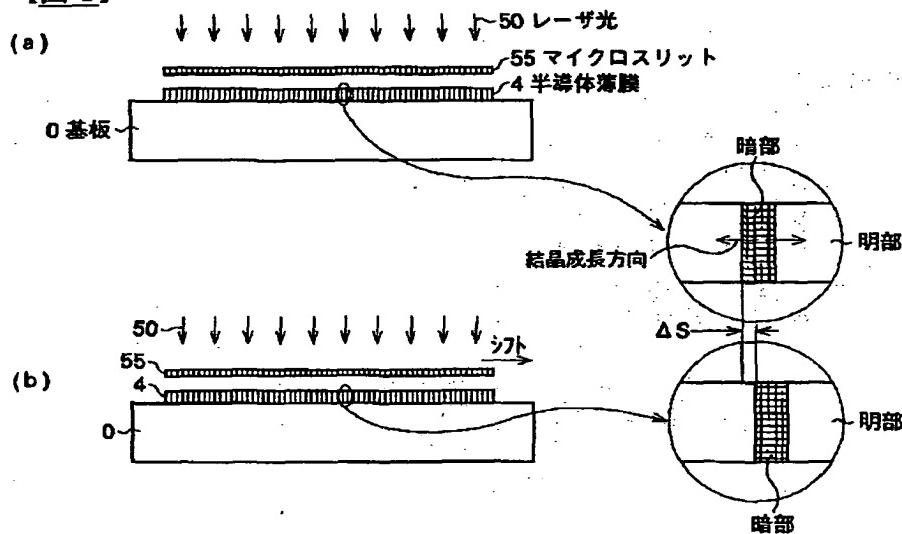


**【図9】**

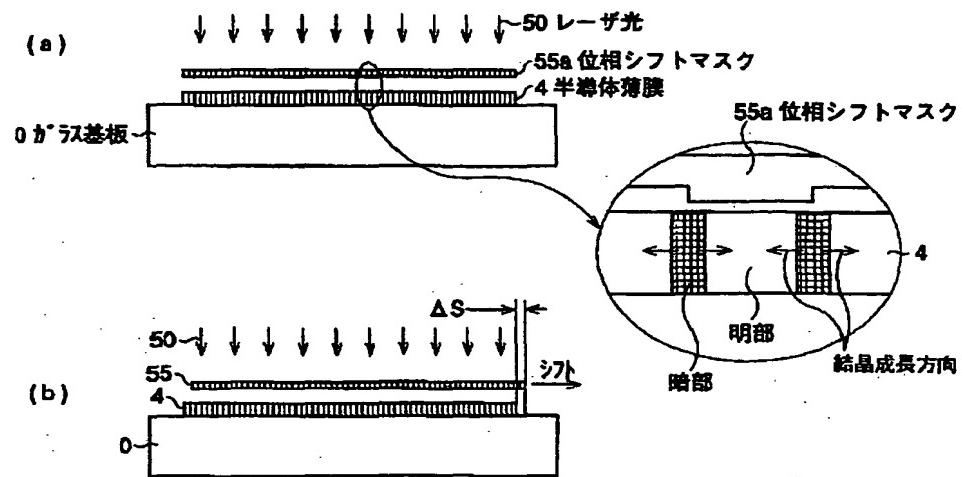
【図10】



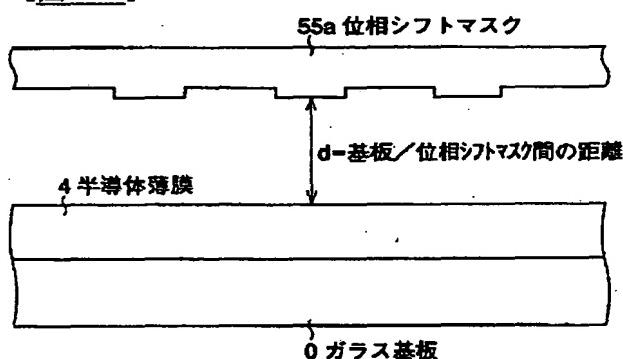
【図4】

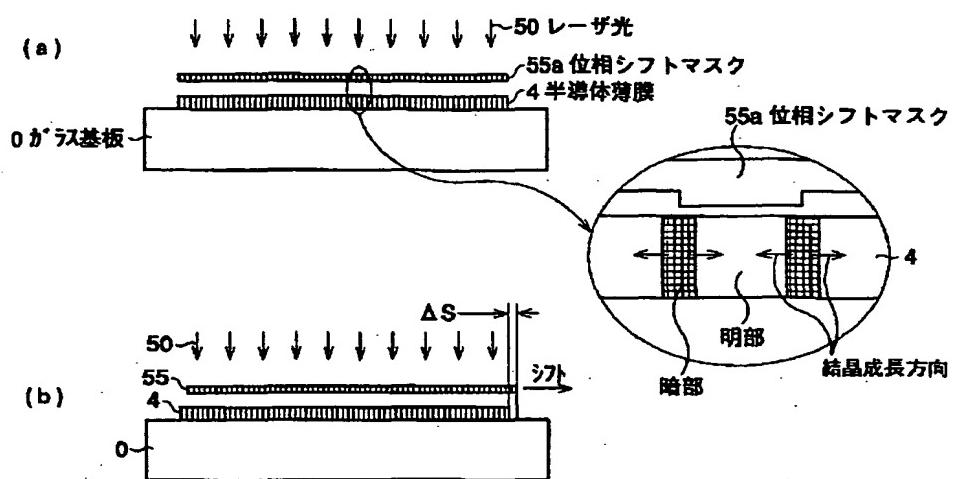


【図5】



【図1.1】





【図1-1】

